

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年2月26日 (26.02.2004)

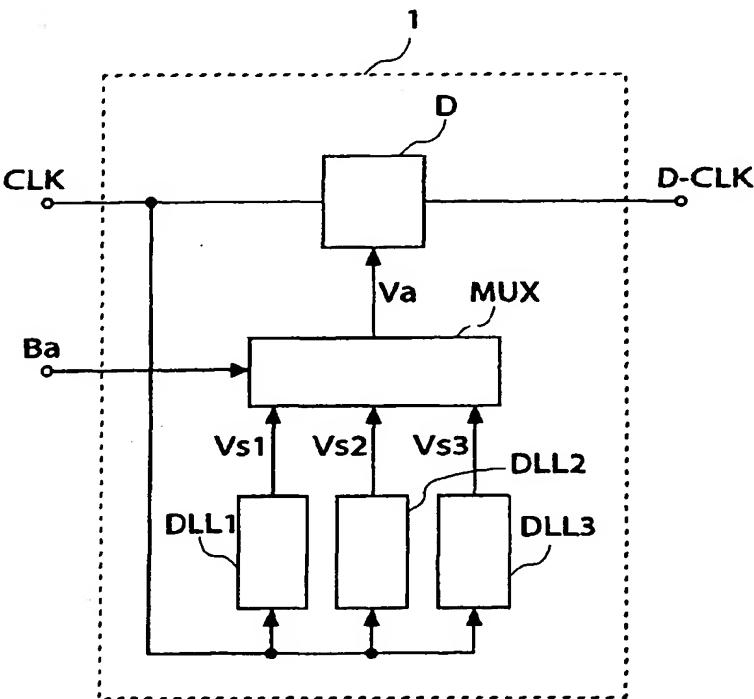
PCT

(10) 国際公開番号
WO 2004/017520 A1

(51) 国際特許分類: H03K 5/13, G06F 1/04
 (21) 国際出願番号: PCT/JP2003/008648
 (22) 国際出願日: 2003年7月8日 (08.07.2003)
 (25) 国際出願の言語: 日本語
 (26) 国際公開の言語: 日本語
 (30) 優先権データ: 特願2002-200467 2002年7月9日 (09.07.2002) JP
 (71) 出願人 (米国を除く全ての指定国について): 独立行政法人産業技術総合研究所 (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒100-8921 東京都千代田区霞が関1丁目3番1号 Tokyo (JP).
 (75) 発明者: および
 発明者/出願人 (米国についてのみ): 高橋栄一 (TAKA-HASHI,Eiichi) [JP/JP]; 〒305-8568 茨城県つくば市梅園1-1-1 中央第2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 河西勇二 (KASAI,Yuji) [JP/JP]; 〒305-8568 茨城県つくば市梅園1-1-1 中央第2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 横口哲也 (HIGUCHI,Tetsuya) [JP/JP]; 〒305-8568 茨城県つくば市梅園1-1-1 中央第2 独立行政法人産業技術総合研究所内 Ibaraki (JP).
 (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU,
 /統葉有/

(54) Title: DIGITAL CIRCUIT HAVING A DELAY CIRCUIT FOR CLOCK SIGNAL TIMING ADJUSTMENT

(54) 発明の名称: クロック信号タイミング調整のための遅延回路を有するデジタル回路



WO 2004/017520 A1

環境の影響を受けない分解能の高いタイミング遅延回路を実現することができる。

(57) Abstract: A digital circuit has a pulse delay circuit that is designed such that a drive current for an inverter is variable so as to provide variable timing of clock signals. The pulse delay circuit includes a circuit for stabilizing the pulse delay amount by use of a delay synchronization loop, and also includes a circuit for generating a pulse delay amount setting voltage that has a nonlinear characteristic. The present invention can realize a timing delay circuit that is small in area, not affected by operational environment and exhibits a high resolution.

(57) 要約: 本願発明におけるデジタル回路においては、クロック信号のタイミングを可変にするために、インバータの駆動電流を可変にしたパルス遅延回路を備えし、該パルス遅延回路は、遅延同期ループによるパルス遅延量の安定化回路を備えるとともに、非線形特性を有するパルス遅延量設定電圧の発生回路を備えるものである。本願発明は、回路面積が小さく、動作



ID, IL, IN; IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 國際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(84) 指定国(広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR),

明細書

クロック信号タイミング調整のための遅延回路を有するデジタル回路

技術分野

本願発明はCPU, ALU等のデジタル回路全般に適用可能であり、特に、デジタル回路を用いるデジタル処理装置における、クロックパルスのタイミングを可変にする遅延回路に関する。

背景技術

デジタル処理装置において、デジタル回路の動作するタイミングの基準となるクロック信号の実動作におけるタイミングを最適化することが、デジタル信号処理装置の性能向上に有効であり、このことは公開特許公報2001-43261「デジタルシステム、デジタルシステムのクロック信号調整方法および、その調整方法で実行する処理プログラムを記録した記録媒体」に示されている。また、この公報においては、デジタル処理装置のクロック信号のタイミングを遺伝的アルゴリズムを用いて調整することにより、デジタル処理装置の最高クロック周波数を上げることが出来るということが示されている。

クロック信号のタイミング調整は、多数のインバータを用いて、インバータの段数をマルチプレクサにより切り替えて、該信号の遅延量を可変としている。この方法においては、調整回路にきわめて多数のインバータ回路を必要とし、調整回路のICチップ面積に占める割合が極めて大きい。またクロック信号の遅延量が、周囲温度や電源電圧等のLSI動作環境の影響を受けるという問題がある。さらにまた細かいタイミングの設定が困難であり、原理上、インバータ1段の遅延時間よりも短い時間間隔でのタイミングの設定が不可能であった。

発明の開示

このように、従来技術によるクロックタイミング調整方法においては、調整回路のLSIチップ面積に占める割合が大きく、LSIの周囲温度及び電源電圧等の動作

環境の影響を受け、クロックタイミングが変動するという問題がある。このよう な問題に鑑み、本願発明が解決しようとする課題は、回路面積が小さく、動作環 境の影響を受けない分解能の高いタイミング遅延回路を実現することである。

本願発明におけるデジタル回路においては、クロック信号のタイミングを可変 にするために、インバータの駆動電流を可変にしたパルス遅延回路を具備し、該 パルス遅延回路は、遅延同期ループによるパルス遅延量の安定化回路を具備する とともに、非線形特性を有するパルス遅延量設定電圧の発生回路を具備するもの である。

これにより、デジタル信号処理装置において、少ないチップ面積で温度及び電 源電圧等の動作環境の影響を受けることなく、クロック信号のタイミングを安定 に遅延させることが実現可能となる。

図面の簡単な説明

第1図は、本願発明の遅延回路システムの構成を説明する図である。

第2図は、遅延回路の構成例を説明する回路図である。

第3図は、NチャネルFETのソースドレイン間の電流電圧特性を示す図である。

第4図は、遅延回路の動作を説明する回路図である。

第5図は、遅延回路の動作波形を説明する説明図である。

第6図は、遅延回路の遅延調整電圧に対する遅延時間の特性を説明する図であ る。

第7図は、温度が変化する場合の遅延回路の遅延時間の特性を説明する図であ る。

第8図は、電源電圧が変化する場合の遅延回路の遅延時間の特性を説明する図 である。

第9図は、遅延同期ループ回路の実装例を示す図である。

第10図は、位相比較器の動作波形の概略を示す図である。

第11図は、遅延調整基準電圧による遅延時間一定の原理を説明する図である。

第12図は、調整値入力に対する遅延調整電圧の特性を説明する図である。

第13図は、第1実施例の遅延調整電圧生成回路の構成例である。

第14図は、調整値入力と遅延時間の関係を説明する図である。

第15図は、第1実施例の遅延調整電圧生成回路の別の構成例である。

第16図は、第2実施例の遅延調整電圧生成回路の構成例を示す原理説明図である。

第17図は、遅延調整電圧生成回路の抵抗をFETで構成する例を示す回路図である。

第18図は、遅延調整電圧生成回路の抵抗とスイッチをFETで構成する例を示す回路図である。

第19図は、遅延調整電圧生成回路の抵抗とスイッチをFETで構成する例の等価回路図である。

第20図は、第2実施例の遅延調整電圧生成回路の構成例を示す回路説明図である。

第21図は、第3実施例の遅延調整電圧生成回路の構成原理を示す図である。

第22図は、第3実施例の遅延調整電圧生成回路の一部の等価回路である。

第23図は、第3実施例の遅延調整電圧生成回路の別の一部の等価回路である。

第24図は、第3実施例における調整値入力に対する遅延調整電圧の関係を示す図である。

第25図は、遅延調整電圧生成回路の抵抗とスイッチをFETで構成する別の例を示す回路図である。

第26図は、第2実施例の遅延調整電圧生成回路の構成例を示す回路説明図である。

第27図は、遅延回路Dsの他の構成例を示す図である。

第28図は、バイアス発生回路を共通とする遅延回路の回路図である。

第29図は、ループフィルターの別の構成例を示す説明図である。

発明を実施するための最良の形態

(実施例1)

本願発明に係るクロック信号の遅延制御を行う遅延回路システムの第1実施例を、第1図に基づいて説明する。第1図において、1は本願発明の遅延回路シス

テム、Dは遅延回路、MUXは遅延調整電圧生成回路、DLL 1～DLL 3は遅延同期ループ回路(Delay Locked Loop)、CLKはクロック入力、D-CLKはクロック出力、Baは調整値入力、Vs1～Vs3は遅延調整基準電圧、Vaは遅延調整電圧である。

この回路システムは、クロック入力CLKに対して、外部から遅延量を設定する調整値入力Baに対応した遅延時間($=\tau$)の遅延を行い、クロック出力D-CLKを出力することを目的とする。

本願発明は、クロック信号の遅延制御を行う遅延回路D、遅延時間 τ を設定するための遅延調整電圧Vaを生成する遅延調整電圧生成回路MUX、ならびに、調整電圧の基準となる遅延調整基準電圧Vs1～3を発生する3つの遅延同期ループ回路DLL 1～3を主要な構成要素とする。

遅延調整電圧Vaを調整値入力Ba(例えば4ビット:0～15)に対して直線的に変化させる場合と、非直線的に折れ線近似で変化させる場合があるが、ここでは折れ線近似の場合について説明する。

第1図において、クロック入力CLKが、遅延回路Dと、3つの遅延同期ループ回路DLL 1～3に入力される。このDLL 1～3では、3つの遅延調整基準電圧Vs1～3を発生し、遅延調整電圧生成回路MUXへ入力する。そこで調整値入力Baに対応した遅延調整電圧Vaが生成される。

この電圧Vaで遅延回路Dの遅延量を制御することにより、調整値入力Baに対応した遅延時間 τ を有するクロック出力D-CLKが得られる。ここで遅延時間 τ は遅延調整電圧Vaによって変えられることを特徴としている。

遅延回路Dの構成例を第2図に基づいて説明する。第2図において、電源電圧(Vdd)とグランド(GND)電位間に、1つのPチャネルFET(M1)と2つのNチャネルFET(M2、M3)が直列に接続されたインバータと、同様に1つのPチャネルFET(M4)と2つのNチャネルFET(M5、M6)が直列に接続されたインバータの2つのインバータが縦列2段に接続される。2段のインバータの中点をC-CLKとする。FETは電界効果トランジスタであり、通常はMOS構造のものが用いられる。FET M3とM6のゲートには遅延調整電圧Vaが印加され、ゲートソース間電圧VGSは遅延調整電圧Vaである。

ここでFET M1とM2、およびM4とM5が従来のCMOSFETによるインバータを

構成する。FET M3とM6は、上記のインバータの駆動電流を制限することが可能であり、クロック入力CLKが遅延調整電圧Vaに従って、時間でだけ遅延されてクロック出力D-CLKとなる。その動作を次に説明する。

第3図に、該遅延回路Dに使われるNチャネルFETのゲートソース間電圧VGSに対するソースドレイン間の電流電圧特性を示す。図中IDはドレイン電流、VDSはソースドレイン間の電圧を示す。ソース端子Sに対するゲート端子Gの電位差VGSが小さく、該FETのしきい値電圧以下ならば、ドレイン電流IDは0であり、VGSが該FETのしきい値電圧以上ならばVGSの上昇と共に、IDは増加する。

該遅延回路Dに使われるPチャネルFETのゲートソース間電圧VGSに対するソースドレイン間の電流電圧特性は、一般的には前記のNチャネルFETの特性において各電圧・電流の符号を反転させたものと同等である。

第2図の遅延回路Dには、浮遊容量やFETの入力容量等が内在する。この浮遊容量やFETの入力容量等の合計をCs1、Cs2として、第2図の回路図に追加記入したものを第4図に示す。第4図中、第2図と同一の要素は第3図と同じ符号とした。また、第5図に、クロック入力CLKとして矩形波を加えた場合の遅延回路Dの動作波形を示す。以下のように、上記のCs1、Cs2により時間遅延が発生する。

デジタルシステムの電圧と論理の関係は、後述の論理しきい値電圧VTを用いて、電圧0から電圧VTまでを論理「0」、電圧VTから電圧Vddまでを論理「1」となる。ここで、論理しきい値電圧VTは、回路特性で定まる電圧であり、Vddの約1/2である。

第4図の遅延調整電圧Vaには、FET M3、M6のしきい値電圧よりも高くVddよりも低い一定の電圧が設定されていると仮定する。また、最初の状態として、クロック入力CLKの論理が「0」、電圧が0(GND電位)を仮定する。このとき、FET M1はオン、FET M2はオフであり、信号C-CLKの電圧はVdd(論理「1」)である。そして、FET M4はオフ、FET M5はオンであり、クロック出力D-CLKの電圧は0V、論理は「0」である。Cs1の電圧は信号C-CLKの電圧に等しくVddであり、Cs2の電圧はクロック出力D-CLKの電圧に等しく0Vである。

クロック入力CLKの論理が「0」から「1」に遷移する場合は、FET M1はオ

フ、FET M 2はオンとなる。そして、FET M 3は遅延調整電圧 V_a で規定される第3図の電流電圧特性を示す。 V_{dd} であった $C_s 1$ の電圧は M 2、M 3を経由して放電し、第3図の電流電圧特性で規定される電流値で定まる時間経過後に論理しきい値電圧 VT 以下となり、すなわち、信号 $C-CLK$ の電圧は一定時間 (τ_A) 経過後に VT 以下となる。このとき、FET M 4はオン、FET M 5はオフに遷移し、 $C_s 2$ が M 4を経由して急速に (時間 τ_B) 電圧 V_{dd} に充電される。したがって、以上の動作により、クロック出力 $D-CLK$ はクロック入力 CLK の立ち上がり時点より $\tau_A + \tau_B$ の一定時間後に立ち上がる (論理が「0」から「1」に遷移する)。

クロック入力 CLK の論理が「1」から「0」に遷移する場合は、FET M 1はオン、FET M 2はオフとなり、 $C_s 1$ が M 1を経由して急速に (時間 τ_B) 電圧 V_{dd} に充電される。このとき、FET M 4はオフ、FET M 5はオンに遷移し、FET M 6は遅延調整電圧 V_a で規定される第3図の電流電圧特性を示すことから、 V_{dd} であった $C_s 2$ の電圧は M 5、M 6を経由して放電し、第3図の電流電圧特性で規定される電流値で定まる時間経過後に論理しきい値電圧 VT 以下となる。すなわち、信号 $D-CLK$ の電圧は一定時間 (τ_A) 経過後に VT 以下となる。したがって、以上の動作により、クロック出力 $D-CLK$ はクロック入力 CLK の立ち下がり時点より $\tau_B + \tau_A$ の一定時間後に立ち下がる (論理が「1」から「0」に遷移する)。

このように、遅延回路 Dに入力されたクロック入力 CLK は遅延時間 $\tau_A + \tau_B$ の遅延を受けてクロック出力 $D-CLK$ となる。ここで、上記の τ_A と τ_B の和は遅延時間 τ である。

M 3 および M 6 のドレイン電流 ID は、ゲート電圧 V_{GS} に等しい遅延調整電圧 V_a によって第3図に示す様に調整出来るので、遅延時間 τ の調整が遅延調整電圧 V_a によって可能となる。なお、ここでは、クロック入力として矩形波の信号電圧を例に説明したが、台形波でも全く同様の動作をする。

第6図に、遅延回路 Dの遅延調整電圧 V_a に対する遅延時間 τ の特性(遅延特性)を示す。すなわち遅延調整電圧 V_a 下げると、遅延時間 τ は第6図に示す傾向で非直線的に増加する。但し、遅延調整電圧 V_a には、回路内素子の特性に基づく上限・下限が存在する。

次に、この遅延特性の環境依存性について考察する。該遅延特性は、該遅延回

路Dの周囲温度Ta、電源電圧Vdd等の環境の影響を受ける。たとえば、Taが上昇すると遅延時間 τ は大きくなり、電源電圧が上昇するときは小さくなる。使用温度範囲を-10°C~80°Cとした時、遅延時間 τ の変化の程度は約1.5倍である。

そこで、周囲温度や電源電圧の変化があっても所定の τ を維持するためには、第7図および第8図の特性に従って遅延調整電圧V_aを補正する必要がある。これは、本願発明の第1図に示す構成により実現でき、補正された遅延調整電圧V_aが生成される。すなわち、以下に詳述する遅延同期ループ回路によって、環境変化に対しても遅延時間 τ が常に一定となるような遅延調整電圧が生成される。この遅延同期ループ回路で生成する遅延調整電圧を遅延調整基準電圧と呼ぶ。

遅延同期ループ回路DLL 1、2、3の代表としてDLL 1を取り上げ、その動作を第9図および第10図を用いて説明する。第9図に遅延同期ループ回路DLL 1の実装例を示す。

第9図において、CLKはクロック入力、4はCLKの入力バッファであるインバータ、Dsは遅延回路、5は位相比較器、6はループフィルターである。遅延回路Dsは、前述の遅延回路Dと同一の構成の遅延回路がN1個あり、これらをN1段直列に接続する。ここで遅延調整電圧V_aは共通である。インバータ4の出力のクロック信号は位相比較器5と遅延回路DsをN1段直列にした回路の初段に入力される。位相比較器5の出力はループフィルター6を経てN1個の遅延回路すべての調整電圧V_aおよび遅延調整基準電圧Vs1の出力となる。

N1個の遅延回路Dsは、同一ICチップ内に形成すれば、遅延時間-遅延調整電圧特性は均一となる。そこで同じ電圧Vs1を遅延回路の遅延調整電圧V_aとして供給すれば、各遅延回路Dsの遅延時間は同一とみなせる。したがって、第9図における遅延回路Dsの遅延時間を τ_1 とすると、N1段の遅延回路の出力信号は、元の入力信号より $\tau_1 \times N1$ だけ時間遅延される。また、その出力信号も、位相比較器5へ供給される。

第10図に、第9図の位相比較器5の動作波形概略を示す。第10図によると、位相比較器5で基準信号R(t)とN1段の遅延回路で遅延された信号S(t)との位相を比較し、位相差情報の信号が出力される。この信号が次段のループフィルター6により平滑されて、不要な高周波信号は減衰を受け、信号R(t)と信号S(t)の

位相差 ϕ に比例した直流の電圧 $V_o(\phi)$ となる。この $V_o(\phi)$ が遅延回路 D の遅延調整電圧 V_a および遅延調整基準電圧 V_{s1} として出力される。

この遅延同期ループ回路は、負帰還動作をするので、S(t)がR(t)に重なる様に制御動作を行う。この制御動作により、遅延時間 τ がクロック信号パルスの一周期 T に一致するように自動的に制御され、S(t)とR(t)は重なり制御動作が安定化する。

したがって、位相差 $\phi = 2\pi$ のときの V_o を平滑した直流出力が安定化された遅延調整基準電圧 V_{s1} となる。遅延回路 Ds が N1 段直列に接続されていることから、一段当たりの遅延時間 τ_1 は $\tau_1 = T / N1$ になる。ここで T は CLK の周期である。

さらにまた、第 9 図の遅延同期ループ回路 DLL 1 の外部の遅延回路 D であって遅延回路 Ds と同一チップ上に作製される同一特性の回路では、 V_a の入力に V_{s1} を入力すると D では Ds と同一の遅延時間 τ が得られる。(第 11 図)

すなわち、遅延調整基準電圧を同一構成の別の遅延回路 D に入力した場合に別の遅延回路 D で得られる遅延時間は環境変化によらず一定の値 ($= T / N1$) とすることが実現できる。このとき、動作環境の変化により遅延回路の特性が変化した場合、遅延時間 τ を一定とするように遅延調整電圧 V_a および遅延調整基準電圧 V_{s1} が変化する。

この負帰還制御系は、デジタル信号を扱うから、位相比較器 5 は、通常 EX-OR(Exclusive-OR)形位相比較器または、R-S(Reset-Set)フリップ・フロップによる位相比較器で構成される。さらに、ループフィルター 6 は、制御動作に余裕を持たせるため、ラグーリード型の低域通過フィルタ等で構成される。

遅延回路 D の遅延時間 τ を可変とするためには、遅延調整電圧 V_a を τ に応じて変更する必要があり、そのために本願発明では複数の遅延同期ループ回路を用いて遅延調整基準電圧を複数生成する。

第 1 図の遅延量制御回路 DLL2 および DLL3 も上記した DLL1 と同じ動作をするが、遅延回路 Ds の段数が異なる。遅延量制御回路 DLL2、DLL3 での遅延時間を、それぞれ τ_2 、 τ_3 、また、遅延回路 Ds の段数をそれぞれ N2、N3 とすると、遅延時間 τ_2 、 τ_3 は同様に $T / N2$ 、 $T / N3$ となる。

遅延同期ループを用いる構成では、遅延同期ループの回路の数だけ、所定の遅

延量に対応する遅延調整電圧 V_a が得られることになる。しかしながら、遅延時間の設定を細かい刻みで行うためには多岐にわたる遅延調整電圧を生成する必要があり、本願発明においては、以下に示す遅延調整電圧の生成手段を追加する。すなわち、2ないし3の遅延調整基準電圧を元に、すべての調整値入力 B_a に対応する遅延調整電圧 V_a を生成する。

遅延時間 τ は、調整値入力 B_a に対して直線的に変化することが望ましい。この直線的に変化する場合の調整値入力 B_a に対する遅延調整電圧 V_a は、第6図の特性から計算することが可能であり、第12図の曲線21に例示される。この曲線で表される遅延調整電圧 V_a に近い電圧を生成するため、本願発明では折れ線近似を採用することを特徴とする。

ここで説明を容易にするために、遅延同期ループ回路における遅延回路 D_s の段数 N_1, N_2, N_3 を $N_1 < N_2 < N_3$ とする。第6図の $\tau - V_a$ 特性と対応させると、 $\tau_1 = T/N_1$ は、遅延調整電圧 V_a が最小値 (V_a_{min}) に近い値 (V_{s1})、 $\tau_3 = T/N_3$ は V_a が最大値 (V_a_{max}) に近い値 (V_{s3}) によって規定される値となる。また、 $\tau_2 = T/N_2$ は、その間の適当な電圧 V_{s2} によって規定される値となる。そして、電圧 V_{s1}, V_{s2}, V_{s3} は、第6図の V_a 特性曲線上の3点にある電圧であり、 $P_1(V_{s1}, \tau_1), P_2(V_{s2}, \tau_2), P_3(V_{s3}, \tau_3)$ の動作点を規定する。

遅延調整電圧生成回路の一構成例について、第13図にもとづいて、調整値入力 B_a が4bit ($b_3 b_2 b_1 b_0$) すなわち $B_a = 0 \sim 15$ の場合を例に説明する。第13図において、MUXは第1図と同じ遅延調整電圧生成回路である。8はデプレシヨン型のFET、9はアナログマルチプレクサである。そして、FET 8は抵抗器として機能し、15個が縦列に接続される。

遅延調整電圧生成回路 MUXには、3つの遅延調整基準電圧 V_{s1}, V_{s2}, V_{s3} が入力される。ここで、 V_{s3} は最大の遅延調整電圧、 V_{s1} は最小の遅延調整電圧である。 V_{s2} はその間の値である。 $V_{s1} \sim V_{s3}$ 間はFET 8によって15分割の電圧に分けられる。そして、遅延調整電圧 V_a は、アナログマルチプレクサ 9によって調整値入力 B_a の情報に基づいて選択される。

第13図の遅延調整電圧生成回路 MUXの動作は、遅延調整基準電圧 V_{s1} と V_{s2} の間を調整値入力 B_a に対して直線で補間した電圧、および、遅延調整基準電圧 V_{s2}

とVs3の間を調整値入力Baに対して直線で補間した電圧から、調整値入力Baに対する遅延調整電圧Vaを発生する。この遅延調整電圧Vaは第12図の線22、23に示すように折れ線近似されている。ここで、P1に対応する調整値入力Baは0(2進表記で0000)、P3に対応する調整値は15(2進表記で1111)、P2に対応する調整値入力Baは0と15の間の任意の整数である。

第14図は、第6図の τ -Va特性を元にして算出された遅延時間 τ 一調整値入力Ba(0~15)特性である。第14図中、25は、第12図の曲線21の場合の特性、26、27は、本願発明による二直線の折れ線近似による特性、28は、1本の直線近似特性にそれぞれ対応する。

したがって、上述のように、調整値入力Baに対応して、遅延調整基準電圧Vs1~Vs3に基づいた各々の調整値入力Baに対する遅延調整電圧Vaが規定される。

第13図の遅延調整電圧生成回路MUXは、FET8としてデプレション型のFETを用いたが、エンハンスマント型のFETで構成することも可能である。この場合の遅延調整電圧生成回路MUXの回路を第15図に示す。第15図中、7NはNチャネルFET、7PはPチャネルFETであり、ゲート電極はVddおよびGNDにそれぞれ接続される。このほかの記号は第13図中の記号と同じ構成要素を示す。

上述のように、実施例1においては、少ない回路面積で、温度や電源電圧の環境に依存することなく、調整値入力Baに対してほぼ直線的な遅延量 τ を持つ遅延回路が実現できる。

(実施例2)

次に実施例2について説明する。

実施例1において、別の遅延調整電圧Vaの生成手段も可能である。第16図に、その別方式の遅延調整電圧生成回路MUXの一構成例を示す。これはR-2R形D-A変換器による遅延調整電圧生成方法である。第16図において、S0~S3はスイッチ、31は抵抗値がRの抵抗、32は抵抗値が2Rの抵抗、33は調整値入力Baを入力する端子、34は遅延調整電圧Vaを出力する端子、35は遅延調整基準電圧を入力する端子である。b0~b3は、調整値入力Baの各ビットを表す。

第16図の遅延調整電圧生成回路MUXにおいて、スイッチS0~S3の状態(Ba:0~15の16通り)に対応して電位差Vs1-Vs3の分割された電圧が端子34に現れる。

スイッチS0～S3がb0～b3に対応してオンオフされる。この回路はR-2Rのラダ型回路であることから、Baと、出力Vaとの関係を算出すると表1になる。

(表1)

調整値 入力Ba	2進数表記 b3 b2 b1 b0	遅延調整電圧Va
0	0 0 0 0	Vs3
1	0 0 0 1	(15Vs3+Vs1)/16
2	0 0 1 0	(14Vs3+2Vs1)/16
3	0 0 1 1	(13Vs3+3Vs1)/16
4	0 1 0 0	(12Vs3+4Vs1)/16
5	0 1 0 1	(11Vs3+5Vs1)/16
6	0 1 1 0	(10Vs3+6Vs1)/16
7	0 1 1 1	(9Vs3+7Vs1)/16
8	1 0 0 0	(8Vs3+8Vs1)/16
9	1 0 0 1	(7Vs3+9Vs1)/16
10	1 0 1 0	(6Vs3+10Vs1)/16
11	1 0 1 1	(5Vs3+11Vs1)/16
12	1 1 0 0	(4Vs3+12Vs1)/16
13	1 1 0 1	(3Vs3+13Vs1)/16
14	1 1 1 0	(2Vs3+14Vs1)/16
15	1 1 1 1	(Vs3+15Vs1)/16

R-2R形変換器による調整値と出力との関係

この表は、第12図における中間電圧Vs2の入力がなく、直線近似の直線24で示される場合である。Ba=0がVs1、Ba=15がVs3に対応する。

第16図の遅延調整電圧生成回路MUXは、抵抗31、32、とスイッチS0～S3をFETで構成することも可能である。この場合、LSI化し易いFETを用いることによりチップ面積を小さくすることが可能である。

第16図の抵抗31をFETで構成した例を第17図に示す。第17図中、10はNチャネルFET、11はPチャネルFETである。FET10のゲートはVddに接続し、FET11のゲートはGNDに接続する。FET10およびFET11のソースとドレインはそれ

それ並列に接続する。FET 10 および 11 の寸法形状を最適設計することにより、並列接続したソースドレイン間の抵抗が所定の値となる。同様にして、第 16 図の抵抗 32 も FET で構成可能である。

また、第 16 図の抵抗 32 とスイッチ S0 の直列の回路を FET で構成した例を第 18 図に示す。第 18 図中、10、12 は N チャネル FET、11、13 は P チャネル FET、14 はインバータ、36、37 はスイッチで選択される端子、38 はスイッチの共通端子、39 はスイッチの切替制御の入力端子である。

端子 39 からの信号は、直接 FET 10 および FET 13 のゲートに接続し、インバータを経由した信号は FET 11 および FET 12 のゲートに接続する。FET 10 および FET 11 のソースとドレインはそれぞれ並列に接続する。同様に FET 12 および FET 13 のソースとドレインはそれぞれ並列に接続する。

39 の信号入力が「1」すなわち Vdd の電圧の場合、FET 10 および FET 11 が所定の抵抗値で導通し、FET 12 および FET 13 はオフとなる。39 の信号入力が「0」すなわち GND の電圧の場合、FET 10 および FET 11 がオフとなり、FET 12 および FET 13 が所定の抵抗値で導通する。FET 10 から 13 の寸法形状を最適設計することにより、並列接続したソースドレイン間の抵抗が所定の値となる。第 18 図の回路の等価回路を第 19 図に示す。

第 16 図の抵抗 32 とスイッチ S1 の直列の回路、抵抗 32 とスイッチ S2 の直列の回路、抵抗 32 とスイッチ S3 の直列の回路についても、第 18 図の回路により同様に構成することができる。

第 16 図の遅延調整電圧生成回路 MUX における抵抗 31、図中左端の 32 を第 17 図の構成、抵抗 32 とスイッチ S0～S3 の組み合わせを第 18 図で構成した場合の構成を第 20 図に示す。15 は N チャネル FET、16 は P チャネル FET である。

この構成を用いると LSI 化し易い FET を用いて構成可能でチップ面積を小さくすることが可能である。また、この構成の場合、FET により実現される抵抗がある程度の電圧依存性を有するので、調整値入力 Ba と遅延調整電圧 Va の関係が、第 16 図の遅延調整電圧生成回路 MUX の場合と比較してわずかにずれが生ずる。このため、本願発明の遅延回路システムが実装されるデジタル回路システムが遺伝的アルゴリズムで調整される場合、特に好適である。

(実施例 3)

次に実施例 3 について説明する。

実施例 3 は、実施例 1 における第 13 図の遅延調整電圧生成回路MUXを 2 組の R-2R ラダー回路によって構成するものである。実施例 1 の場合の二直線近似の V_a - B_a 特性を、実施例 1 の場合より少ないチップ面積で実現することができる。

第 21 図に、遅延調整電圧生成回路MUXの構成原理図を示す。第 21 図において、41 は抵抗値 R の抵抗、42、43、45、47 は抵抗値 2R の抵抗、44a、44b、44c、46a、46b、46c、48a、48b、48c はスイッチ、49 は調整入力 B_a を入力する端子、50 は遅延調整電圧 V_a を出力する端子、51、52、53 は遅延調整基準電圧を入力する端子である。

(表 2)

調整値 入力 B_a	2進数表記 b3 b2 b1 b0	遅延調整電圧 V_a
1	0 1 1 1	$(7Vs3+Vs2)/8$
2	0 1 1 0	$(6Vs3+2Vs2)/8$
3	0 1 0 1	$(5Vs3+3Vs2)/8$
4	0 1 0 0	$(4Vs3+4Vs2)/8$
5	0 0 1 1	$(3Vs3+5Vs2)/8$
6	0 0 1 0	$(2Vs3+6Vs2)/8$
7	0 0 0 1	$(Vs3+7Vs2)/8$
8	0 0 0 0	$Vs2$
8	1 0 0 0	$Vs2$
9	1 0 0 1	$(1Vs1+7Vs2)/8$
10	1 0 1 0	$(2Vs1+6Vs2)/8$
11	1 0 1 1	$(3Vs1+5Vs2)/8$
12	1 1 0 0	$(4Vs1+4Vs2)/8$
13	1 1 0 1	$(5Vs1+3Vs2)/8$
14	1 1 1 0	$(6Vs1+2Vs2)/8$
15	1 1 1 1	$(7Vs1+Vs2)/8$

$b_0 \sim b_3$ は、調整値入力 B_a の各ビットを表す。 B_a と $b_0 \sim b_3$ の関係は表 2

に示される。便宜上、ピットの反転（論理の反転）したものを \neg の記号で表す。また、端子 5 1～5 3 にそれぞれ遅延調整基準電圧 V_{s1} 、 V_{s2} 、 V_{s3} が入力される。

スイッチ 4 4a は b_0 と b_3 の論理積が 1 のときオンとなり、それ以外ではオフとなる。スイッチ 4 6a は b_0 と $\neg b_3$ の論理積が 1 のときオンとなり、それ以外ではオフとなる。スイッチ 4 8a は $\neg b_0$ が 1 のときオンとなり、それ以外ではオフとなる。

スイッチ 4 4b は b_1 と b_3 の論理積が 1 のときオンとなり、それ以外ではオフとなる。スイッチ 4 6b は b_1 と $\neg b_3$ の論理積が 1 のときオンとなり、それ以外ではオフとなる。スイッチ 4 8b は $\neg b_1$ が 1 のときオンとなり、それ以外ではオフとなる。

スイッチ 4 4c は b_2 と b_3 の論理積が 1 のときオンとなり、それ以外ではオフとなる。スイッチ 4 6c は b_2 と $\neg b_3$ の論理積が 1 のときオンとなり、それ以外ではオフとなる。スイッチ 4 8c は $\neg b_2$ が 1 のときオンとなり、それ以外ではオフとなる。

ところで、第 2 1 図の回路は、 b_3 が 0 の場合、スイッチ 4 4a、4 4b、4 4c のすべてがオフであることから、第 2 2 図に示す等価回路と同等となる。また、 b_3 が 1 の場合、スイッチ 4 6a、4 6b、4 6c のすべてがオフであることから、第 2 3 図に示す等価回路と同等となる。

第 2 2 図の回路と第 2 3 図の回路を電気的に同時に調整値設定に使用することができないので、2つの等価回路に分けることが可能である。そして、第 2 2 図の回路と第 2 3 図の回路はそれぞれが 3 ピットの R-2R ラダー回路である。

このように、3 ピットの R-2R ラダー回路を等価的に二組形成し、 V_{s1} から V_{s2} の電圧発生域と、 V_{s2} から V_{s3} の電圧発生域とを等価的に切り替え動作を行っていることを特徴とする。

調整値入力 B_a に対するこの回路の出力電圧すなわち遅延調整電圧 V_a の関係は、第 2 2 図の回路と第 2 3 図の回路のそれぞれにおいて、R-2R ラダー回路の原理より算出が可能である。その結果を表 2 に示す。また、第 2 4 図に、遅延調整値入力 B_a に対する遅延調整電圧 V_a の関係を示す。

上述の第 2 1 図で構成原理を示す回路は、第 2 の実施例の場合と同様に、FET

で構成することが可能である。この場合、LSI化し易いFETを用いることによりチップ面積を小さくすることが可能である。

この場合、抵抗41と42は、第17図に示す回路で構成できる。また、抵抗43とスイッチ44の直列の回路をFETで構成した例を第25図に示す。第25図中、10はNチャネルFET、11はPチャネルFET、14はインバータ、36、38はスイッチの両端の端子、39はスイッチの切替制御の入力端子である。

端子39からの信号は直接FET10のゲートに接続し、インバータを経由した信号はFET11のゲートに接続する。FET10およびFET11のソースとドレインはそれぞれ並列に接続する。

39の信号入力が「1」すなわちVddの電圧の場合、FET10およびFET11が所定の抵抗値で導通し、該信号入力が「0」すなわちGNDの電圧の場合、FET10およびFET11がオフとなる。FET10、11の寸法形状を最適設計することにより、並列接続したソースドレイン間の抵抗が所定の値となる。

第21図の抵抗45とスイッチ46a、46b、あるいは46cの直列の回路、抵抗47とスイッチ48a、48b、あるいは48cの直列の回路についても、第25図の回路により同様に構成できる。

第21図の遅延調整電圧生成回路MUXの回路を、第17図および第25図のFETによる回路で構成した場合を第26図に示す。15はNチャネルFET、16はPチャネルFETである。

この構成を用いるとLSI化し易いFETを用いて構成可能でチップ面積を小さくすることが可能であり、なおかつ、折れ線近似によって誤差の少ない遅延調整電圧Vaが生成可能である。また、第2の実施例の場合と同様に、本願発明の遅延回路システムが実装されるデジタル回路システムが遺伝的アルゴリズムで調整される場合、特に好適である。

また、前述の実施例1ないし実施例3において、遅延回路Dを別の構成とすることも可能である。第27図に遅延回路Dの他の構成例を示す。第27図において、第2図と同じ符号は同じ構成要素を示す。また、M7、M8、M10、はPチャネルFET、M9はNチャネルFETである。

第27図中、M1とM2によるインバータの上にFET M7を直列接続し、M4

とM5によるインバータの上にFET M8を直列接続する。電流制御用FET M7、M8のゲートバイアス電圧を生成するため、FET M9、FET M10を直列接続したものと付加する。

FET M3およびM6へのゲートバイアスは、前述の遅延調整電圧Vaであるが、FET M10は、ゲート端子をドレイン端子と接続し、その接続点からFET M7、M8へのゲートバイアスを給電するいわゆるカレントミラーハウジング構成になっている。

FET M3およびM6の電流は、第3図の電流電圧特性にもとづいて遅延調整電圧Vaにより規定されるが、同様にして、FET M7およびM8の電流が、電流電圧特性にもとづいて遅延調整電圧Vaにより規定される。

遅延時間の発生は、第2図の遅延回路と同様であるが、この第27図の遅延回路では、FET M1およびM4の電流がFET M7およびM8にて規定されることから、遅延量を決めるFET M7およびM8が余分に追加されていることになり、第2図の遅延回路Dの場合よりも、第27図の場合の遅延回路Dの方が、大きい遅延時間を実現することが可能となる。また、この場合、波形の対称性が良くなる。

また、第27図の遅延回路Dを第9図に代表される遅延同期ループ回路DLL1、2、3に用いる場合、遅延回路D(Ds)を多段にするが、FET M9およびM10からなるバイアス発生回路を共通とすることができる。すなわち、第28図に示すようにFET M9およびM10からなるバイアス発生回路を共通バイアス発生回路とすると、それだけ回路規模が減少し、チップ面積を節約することが可能である。

上記実施例1ないし3の遅延回路では、第4図に示すように、浮遊容量およびFETの容量からなる容量Cs1、Cs2を用いて遅延を発生したが、この容量Cs1、Cs2の部分に積極的に容量を付加してもよい。この場合の容量はメタル電極で構成される容量、FETのゲート容量などである。この場合、遅延時間を大きくすることが可能である。

以上説明した実施例においては、D-CLKの出力は1種類の場合であったが、言うまでもなく複数の異なる遅延量のD-CLKを発生させる場合にも適応可能である。この場合は異なる遅延量の数の遅延回路Dと遅延調整電圧生成回路MUXを設ければよ

く、遅延同期ループ回路DLL1～DLL3は共通にすることが可能である。これによりチップ面積の有効利用が可能である。

さらにまた、遅延同期ループ回路DLL1～3の安定性を向上する手段を追加する。

遅延回路システム1に回路の電源が投入されて起動する際、ループフィルター6の過渡的な出力電圧により遅延回路Dの遅延量が通常の値から大幅にずれる可能性がある。その場合、位相比較器に入力される信号の位相ずれが過大となり遅延同期ループ回路の動作が不安定になる。また、位相比較器5の入力信号の位相差がクロック信号CLKの1周期ではなく2周期以上となってしまう異常動作となる可能性もある。

電源投入直後に、ループフィルター6の出力電圧を定常状態での電圧あるいはそれよりもVddに近い値にプリチャージすることで、上記の不安定性は排除できる。そのため構成を第29図に示す。第29図において、6はループフィルター、61はカウンタ回路、62はデジタルアナログ変換回路、63はリセット回路、64はプリセットデータ、65は位相差情報の信号、66はループフィルター6の出力電圧である。

遅延同期ループ回路DLL1～3の位相比較器5の出力である位相差情報の信号65は、カウンタ回路61に入力される。この位相差情報の信号65にもとづいて、カウンタ回路61はアップカウントあるいはダウンカウントの計数を行う。カウンタ回路61の出力はデジタルアナログ変換回路62に入力され、デジタルアナログ変換回路62によってアナログ値の電圧である出力信号66に変換されてループフィルター6の出力となる。

遅延回路システム1を含むデジタルシステムに電源が投入される時には、リセット回路63は、遅延回路システム1に電源が投入される過渡状態を検出し、カウンタ回路61はプリセットデータ64をカウンタ回路内のレジスターにロードする。遅延回路システム1を含むデジタルシステムがリセット動作されるときも同様に動作する。

プリセットデータ64は、定常状態における出力電圧が出力されるデータをあらかじめ記憶しておくことで、遅延回路システム1を含むデジタルシステムに電源が投入される起動時やシステムのリセット時においても、遅延同期ループ回路

を急速にかつ安定して起動することができ、異常動作を防止することができる。

産業上の利用可能性

このように上記で示されるパルス遅延回路を有するデジタル処理装置では、従来技術による回路である、多数のインバータ回路とマルチブレクサからなる論理回路での構成と比較して、回路面積が、遅延の指定が4ビットの場合で1/5、6ビットの場合で1/10と大幅に縮小が可能であり、LSIのチップ面積の大幅な縮小が可能となる。

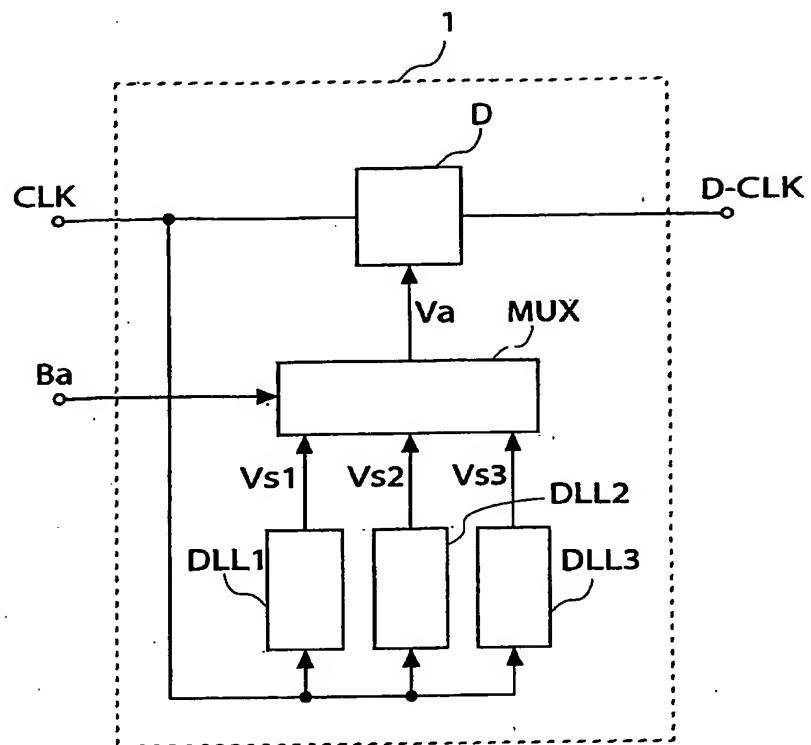
また温度環境条件では、-10°C～80°Cの周囲温度変化に対して、従来回路では遅延時間が約1.5倍程変化していたが、本願発明による遅延回路では、温度による変化を補償する機能を設けたことにより、設定した遅延時間が、温度変化によらずほぼ一定とすることが可能である。

さらにまた、高分解能の遅延時間設定が実現可能となる。

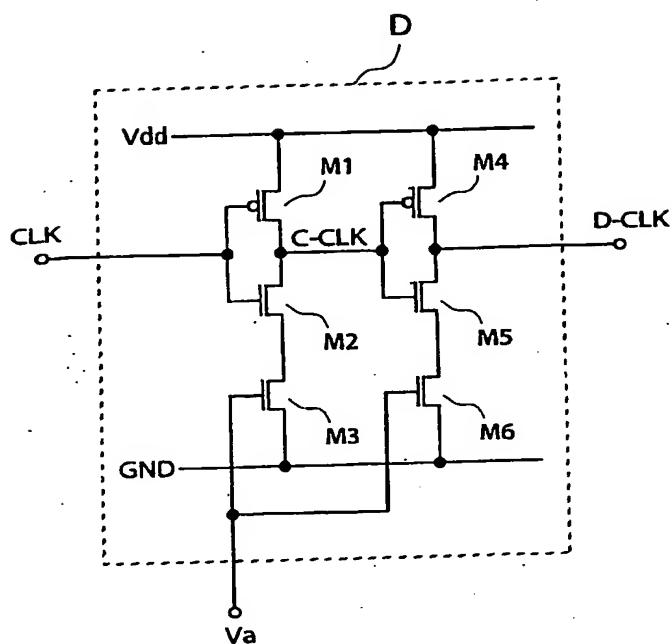
請求の範囲

1. クロック信号のタイミングを可変にするために遅延回路を備えたデジタル回路において、遅延同期ループを用いることにより、該遅延回路の遅延量を安定化させたことを特徴とするデジタル回路。
2. 上記遅延回路の駆動電流を制御することにより、上記遅延回路の遅延量を可変とすることを特徴とする請求の範囲第1項記載のデジタル回路。
3. 上記遅延回路は、2個以上の基準電圧を合成する遅延量設定電圧発生回路を備えていることを特徴とする請求の範囲第1項記載のデジタル回路。
4. 上記遅延量設定電圧発生回路は、折れ線近似により基準電圧を合成することを特徴とする請求の範囲第3項記載のデジタル回路。
5. 上記遅延量設定電圧発生回路は、電圧分割型回路であることを特徴とする請求の範囲第3項記載のデジタル回路。
6. 上記遅延量設定電圧発生回路は、ラダー型回路であることを特徴とする請求の範囲第3項記載のデジタル回路。
7. 上記遅延量設定電圧発生回路は、MOSFETを用いていることを特徴とする請求の範囲第3項記載のデジタル回路。
8. 上記遅延回路の駆動電流を制御する回路は、カレントミラー型回路であることを特徴とする請求の範囲第2項記載のデジタル回路。
9. 上記遅延同期ループは、起動時安定化手段を有することを特徴とする請求の範囲第1項記載のデジタル回路。

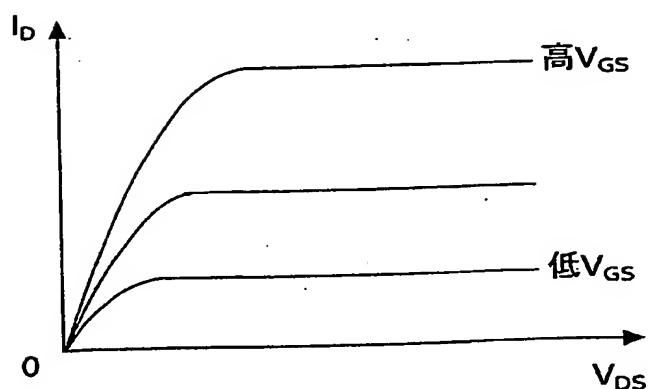
第1図



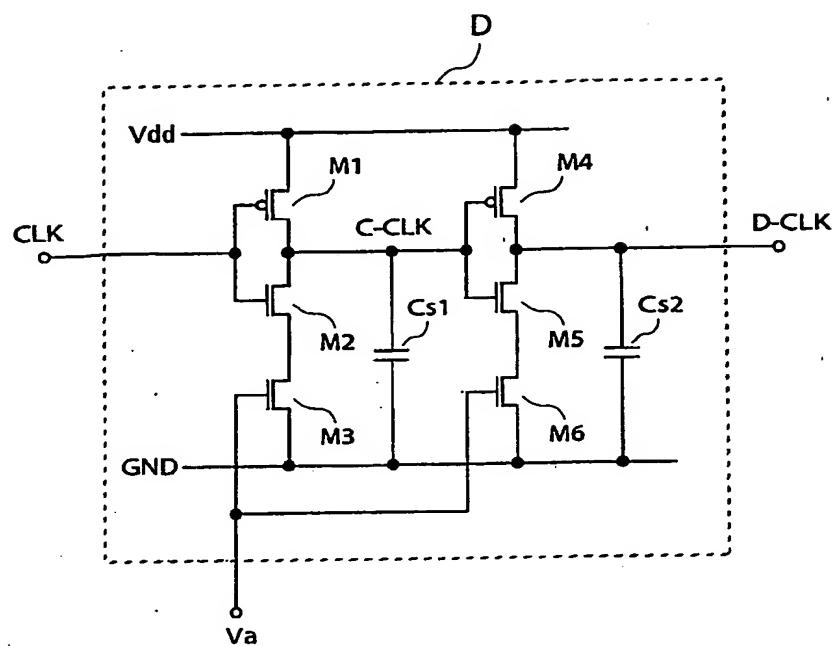
第2図



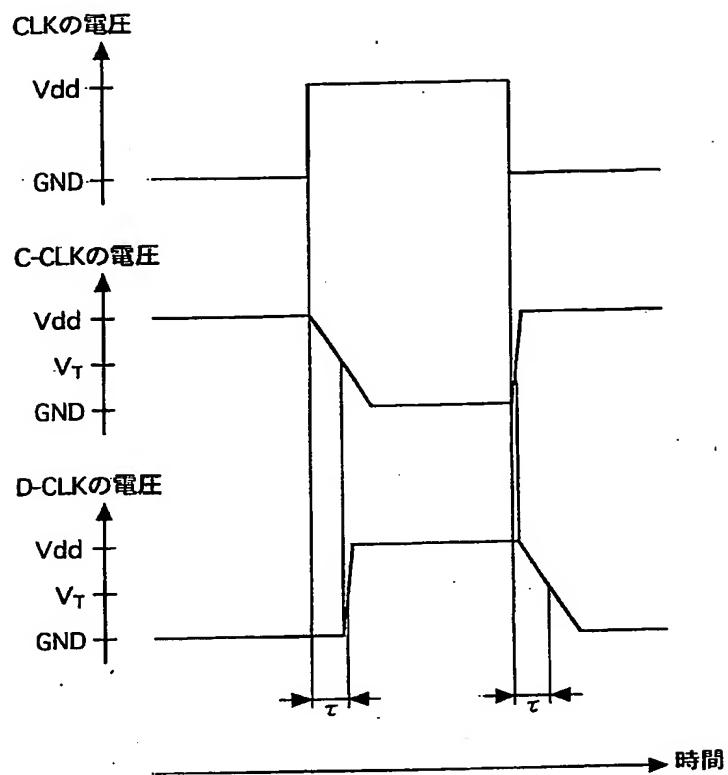
第3図



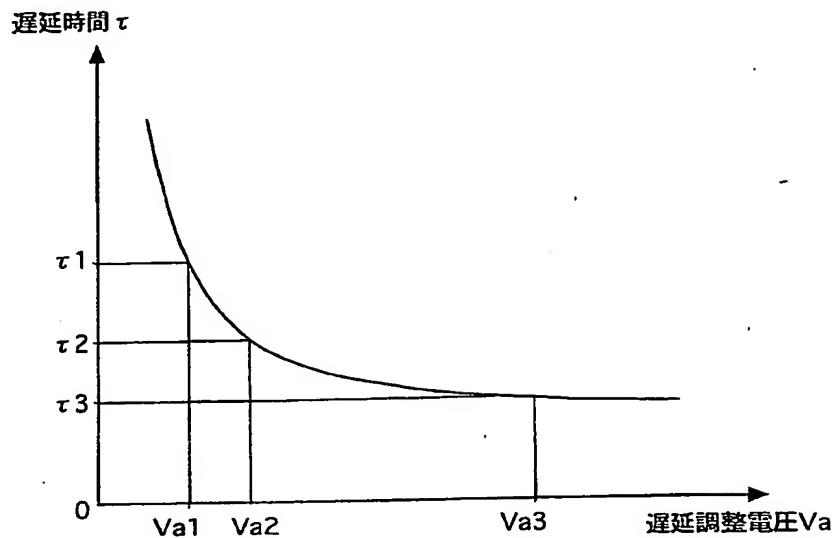
第4図



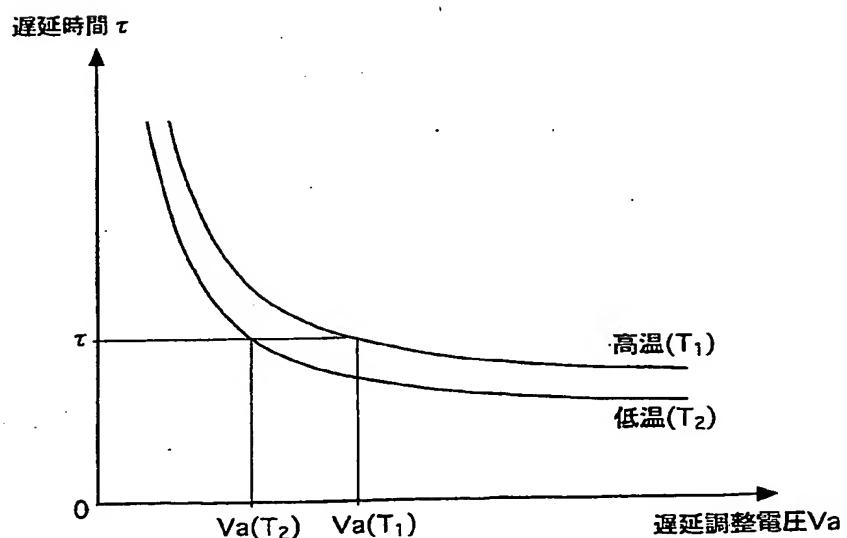
第5図



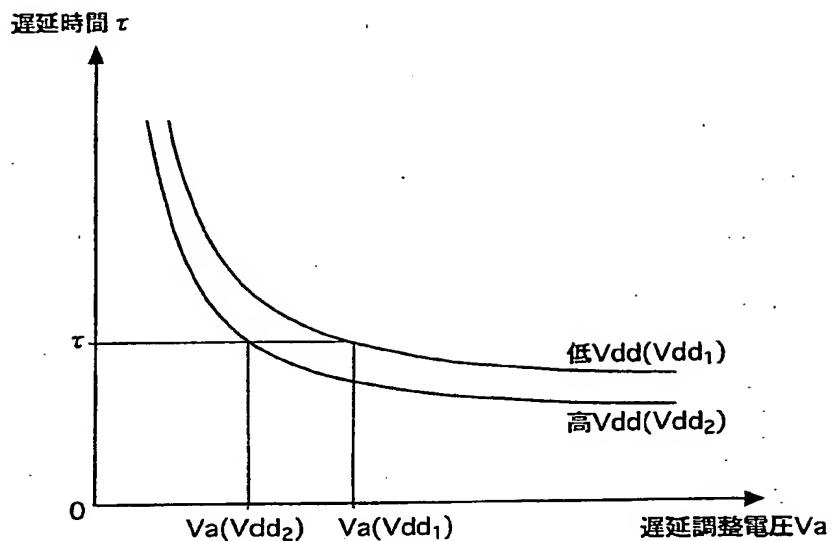
第6図



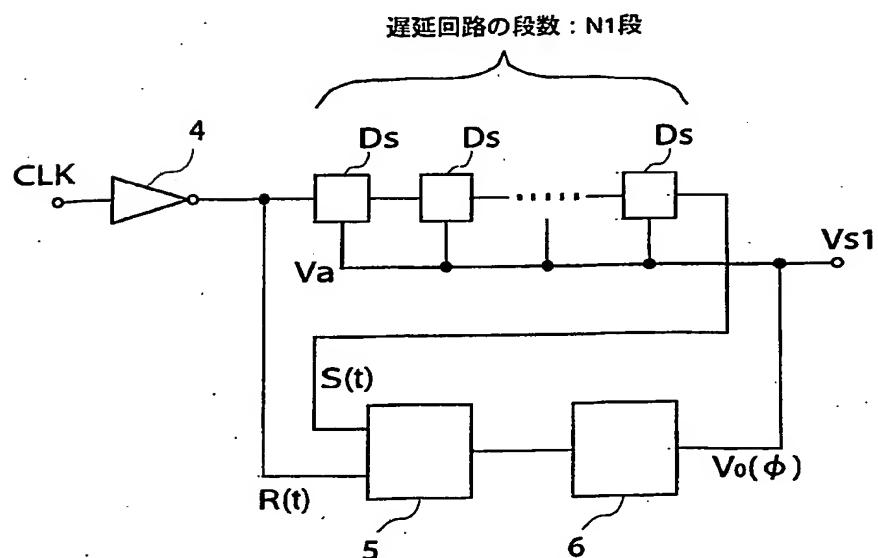
第7図



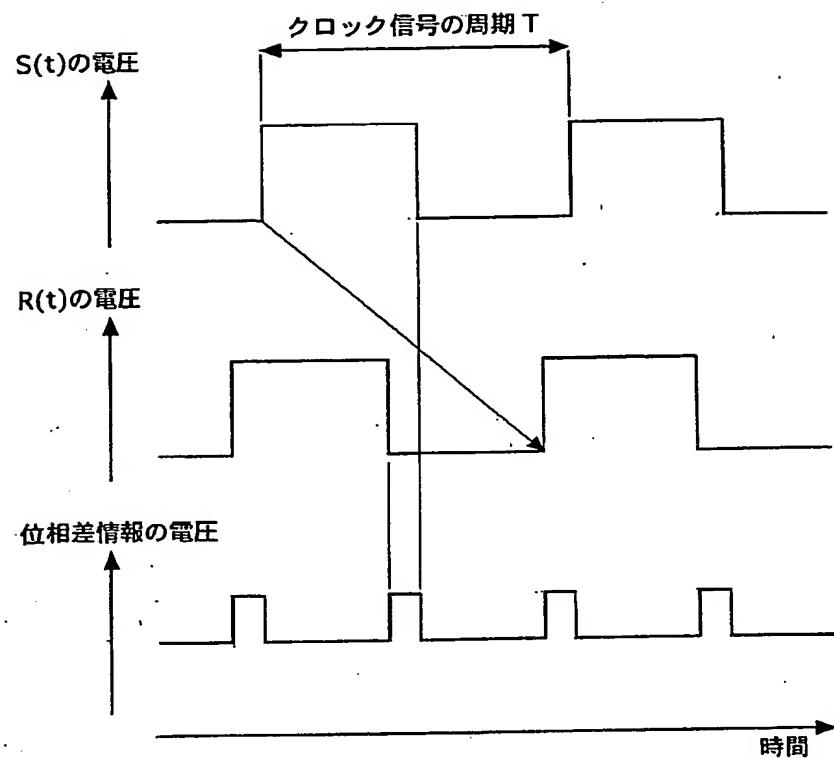
第8図



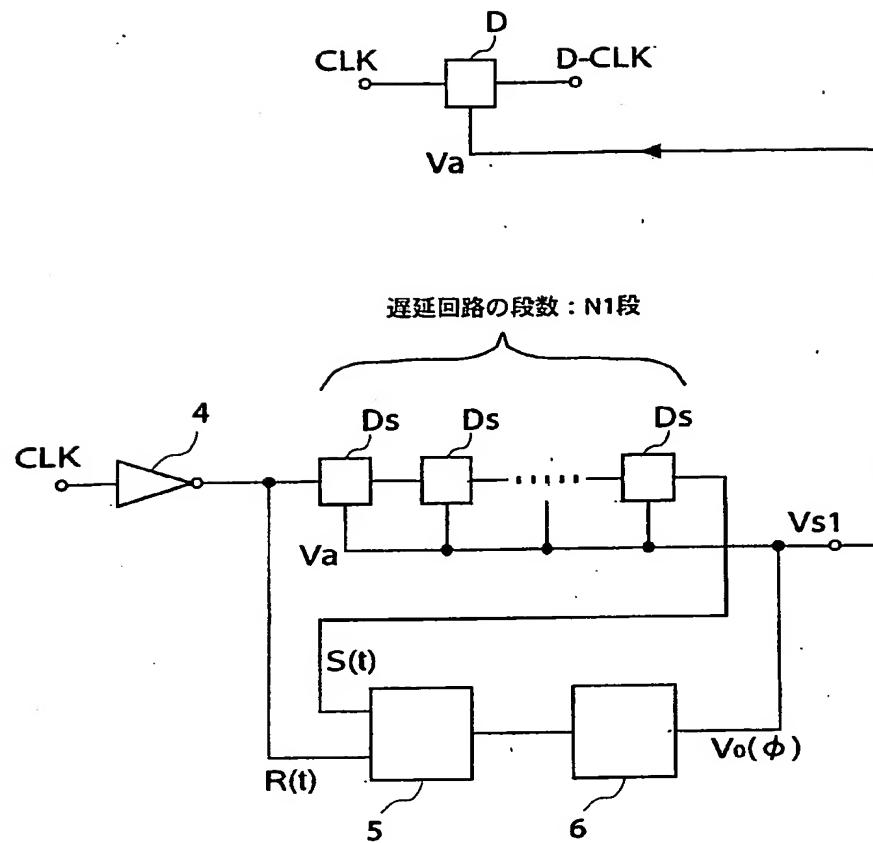
第9図



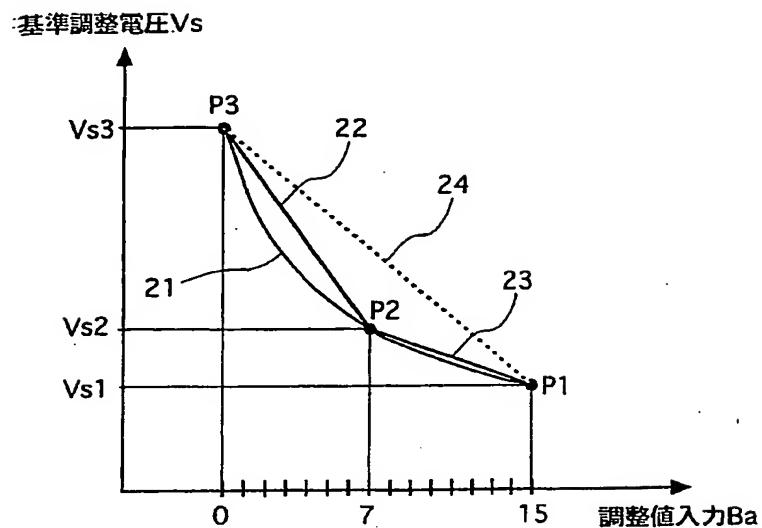
第10図



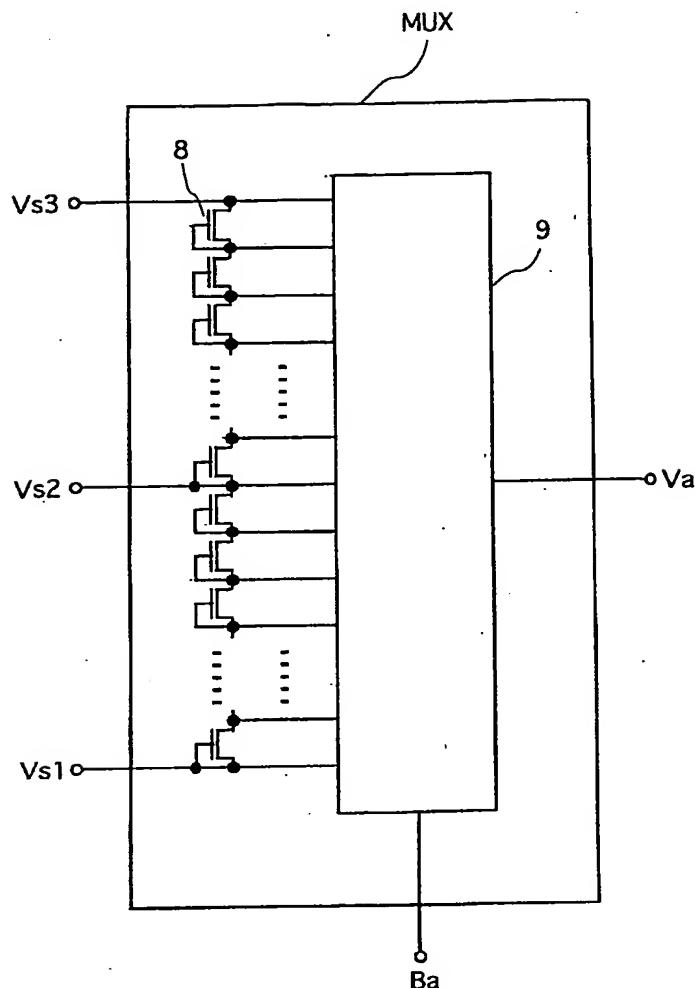
第11図



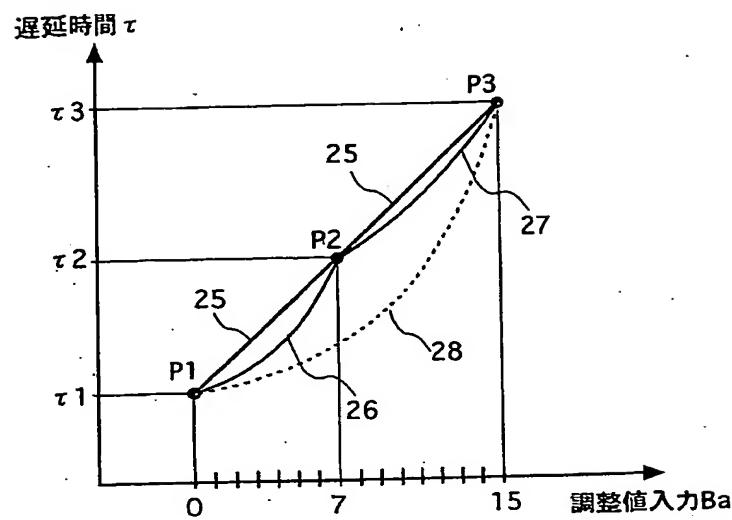
第12図



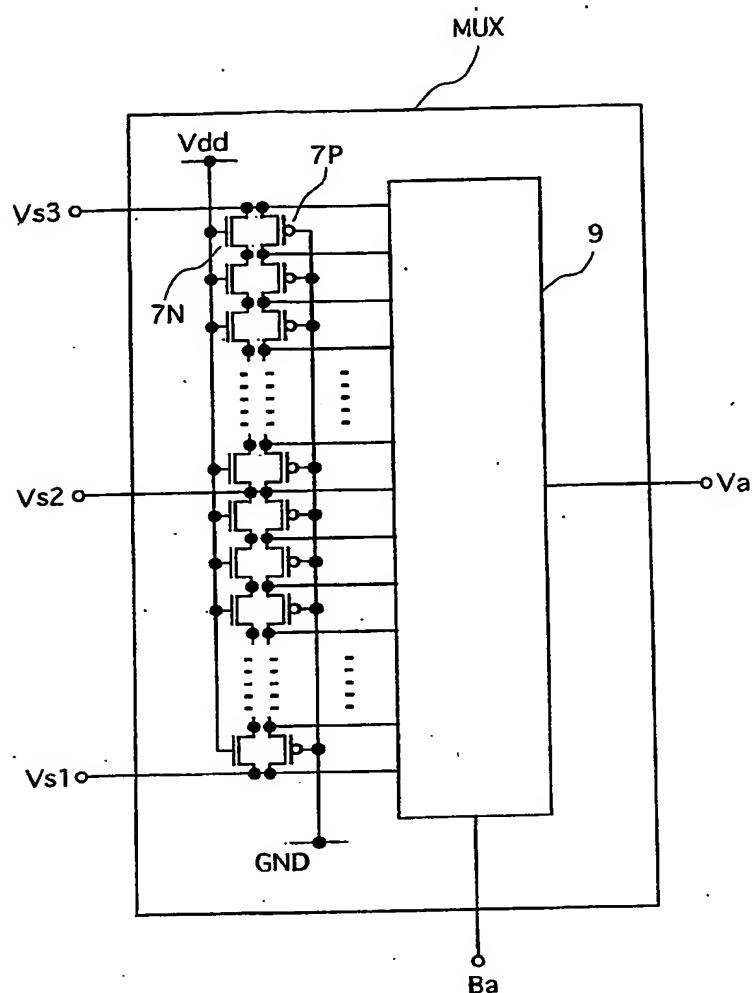
第13図



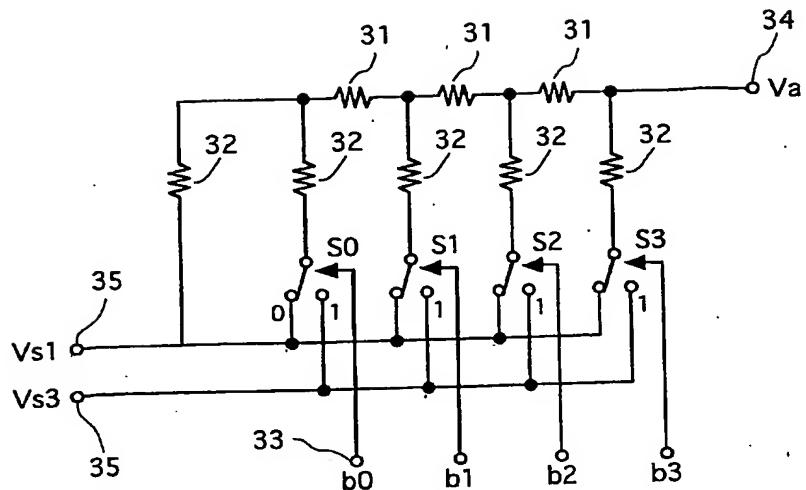
第14図



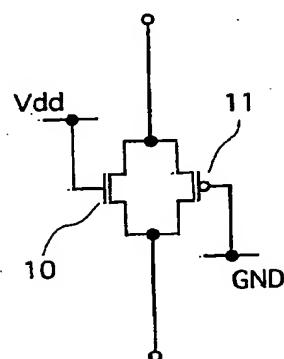
第15図



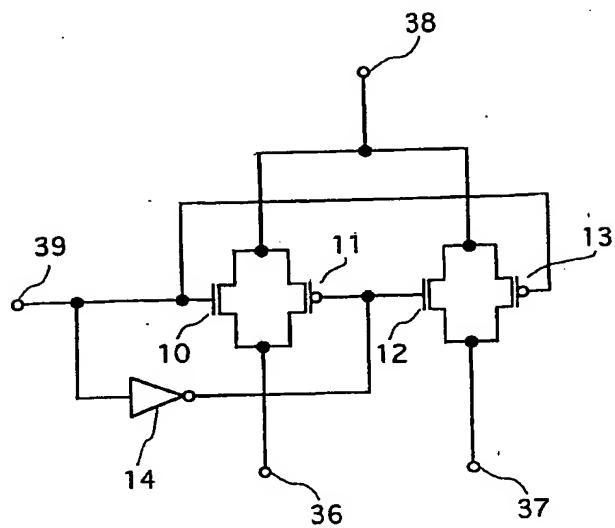
第16図



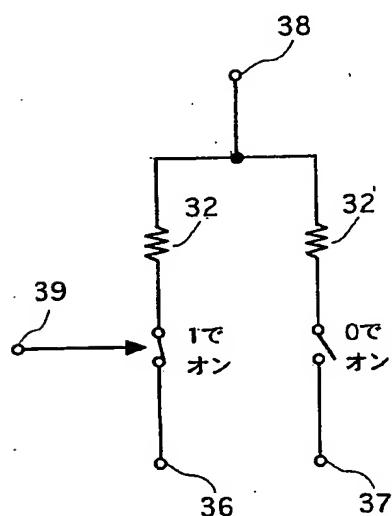
第17図



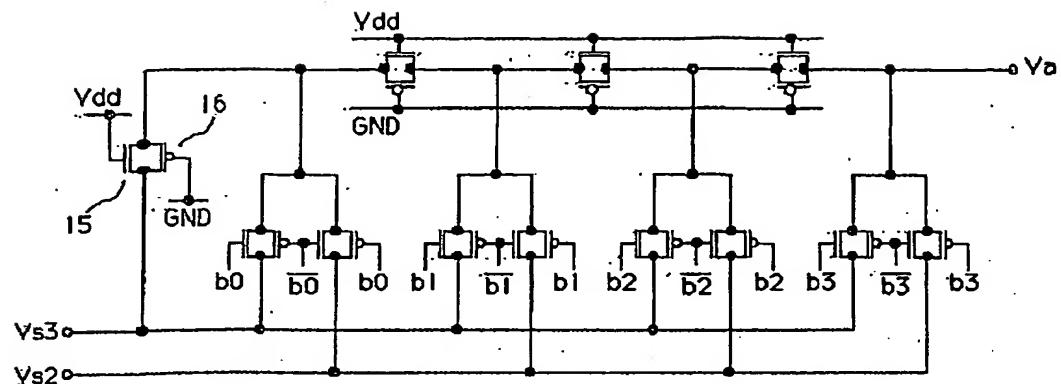
第18図



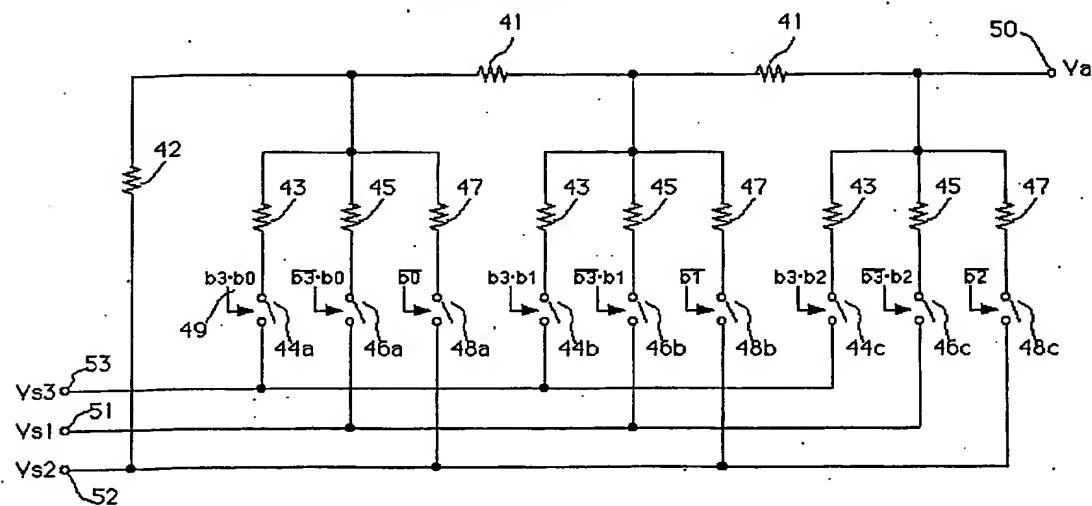
第19図



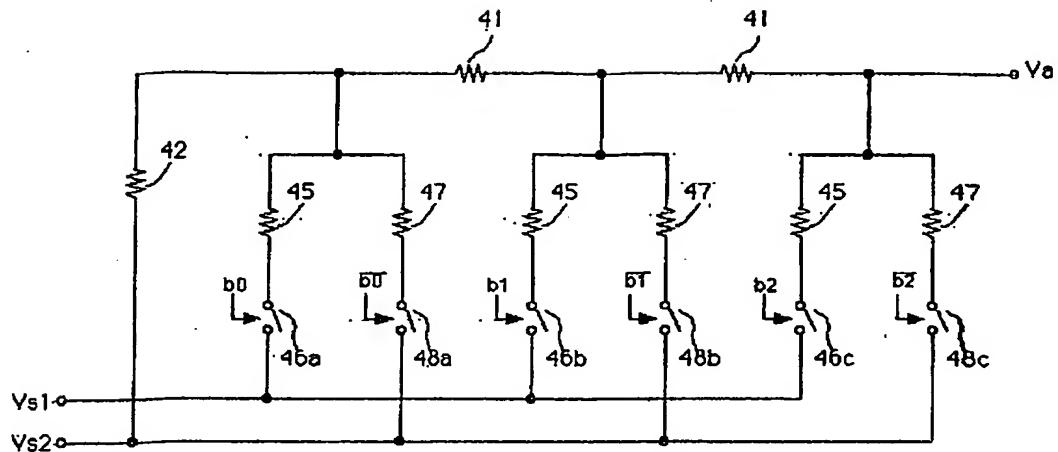
第20図



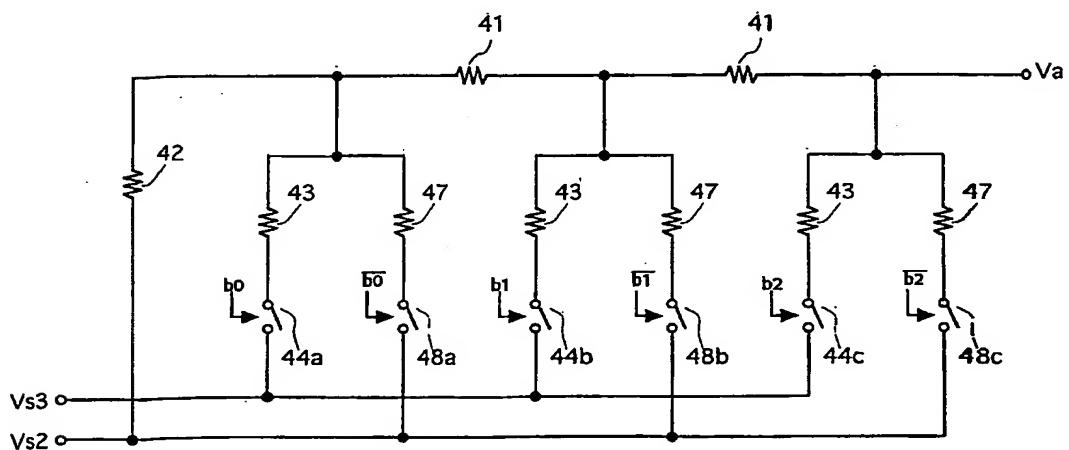
第21図



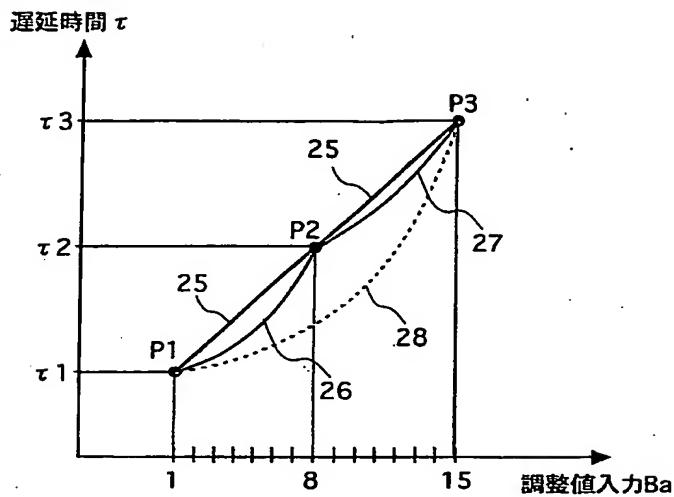
第22図



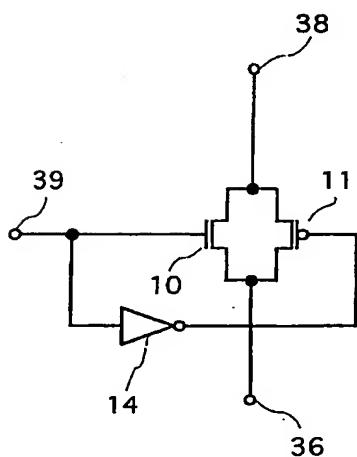
第23図



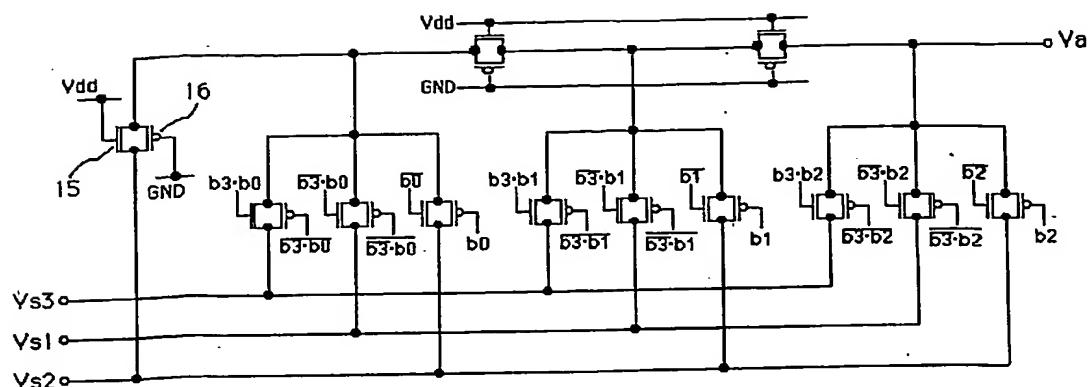
第24図



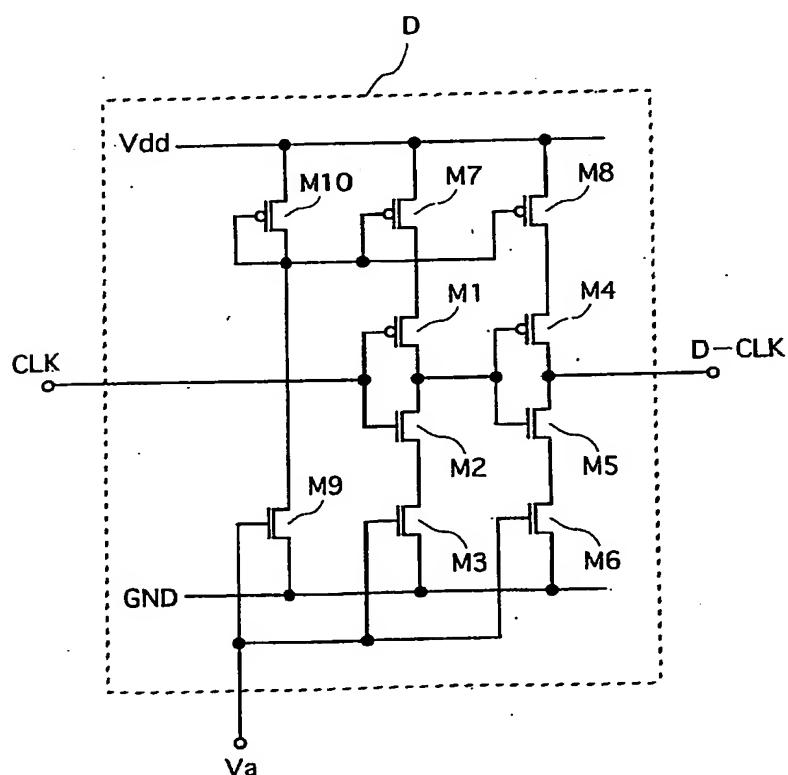
第25図



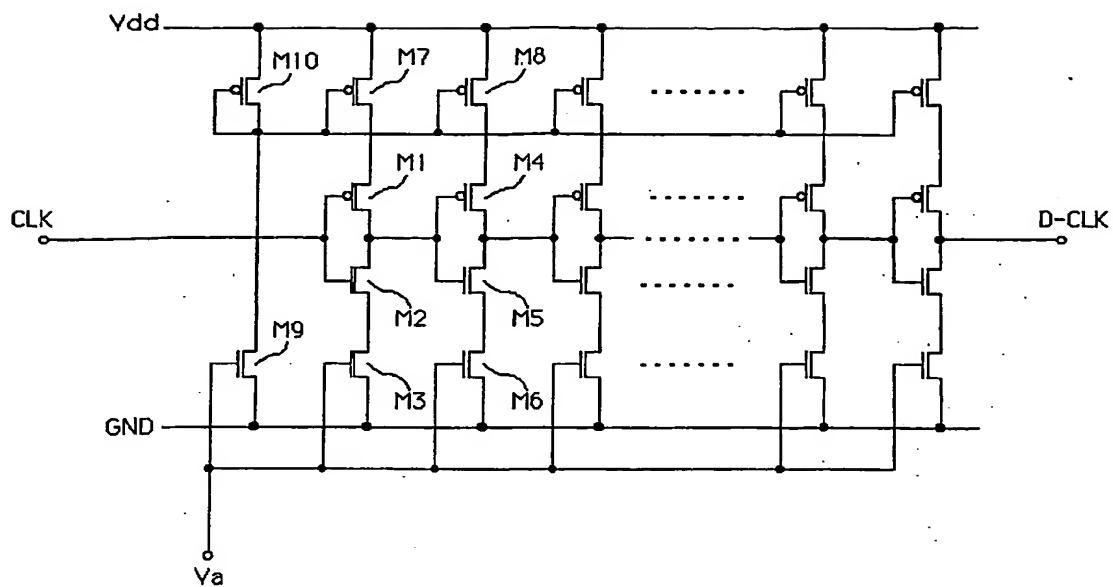
第26図



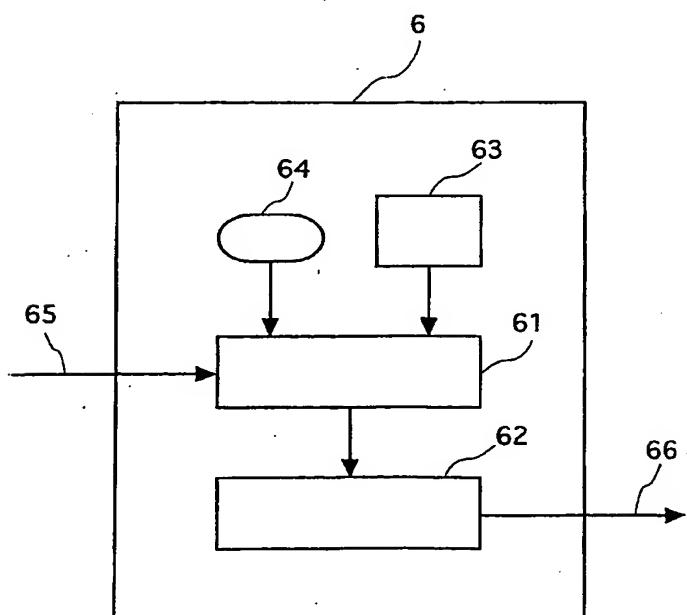
第27図



第28図



第29図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08648

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁷ H03K5/13, G06F1/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁷ H03K5/13, G06F1/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-2003
Kokai Jitsuyo Shinan Koho 1971-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-079663 A (Mitsubishi Electric Corp.), 24 March, 1998 (24.03.98), Full text; Figs. 1 to 20 (Family: none)	1-9
Y	JP 10-055668 A (Fujitsu Ltd.), 24 February, 1998 (24.02.98), Full text; Figs. 1 to 2 & US 5822255 A 13 October, 1998 (13.10.98), Full text; Figs. 1 to 2	1-9

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
04 December, 2003 (04.12.03)Date of mailing of the international search report
16 December, 2003 (16.12.03)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08648

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 09-512966 A (Rambus, Inc.), 22 December, 1997 (22.12.97), Full text; Figs. 1 to 8 & US 5614855 A 25 March, 1997 (25.03.97), Full text; Figs. 1 to 8	1-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl' H03K 5/13, G06F 1/04,

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl' H03K 5/13, G06F 1/04,

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926—2003
日本国公開実用新案公報 1971—2003

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 10-079663 A (三菱電機株式会社) 1998.03.24. 全文, 第1~20図 (ファミリーなし)	1-9
Y	JP 10-055668 A (富士通株式会社) 1998.02.24 全文, 第1~2図 & US 5822255 A 1998.10.13 全文, 第1~2図	1-9

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

04.12.03

国際調査報告の発送日

16.12.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

有泉 良三

5X 7402

印

電話番号 03-3581-1101 内線 3556

C(続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	JP 09-512966 A (ランバス・インコーポレーテッド) 1997.12.22 全文, 第1~8図 & US 5614855 A 1997.03.25 全文, 第1~8図	1-9

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.